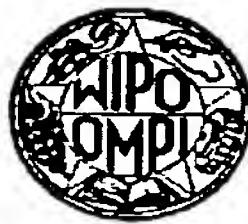


(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
22 septembre 2005 (22.09.2005)

PCT

(10) Numéro de publication internationale
WO 2005/088839 A1

(51) Classification internationale des brevets⁷ :
H03K 19/177, G06F 15/78, 17/50

(21) Numéro de la demande internationale :
PCT/FR2005/000529

(22) Date de dépôt international : 7 mars 2005 (07.03.2005)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :
0402419 8 mars 2004 (08.03.2004) FR

(71) Déposant et
(72) Inventeur : PETROLI, Jean Paul [FR/FR]; 128, rue de Massy, F-92160 Antony (FR).

(81) États désignés (sauf indication contraire, pour tout titre de protection nationale disponible) : AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

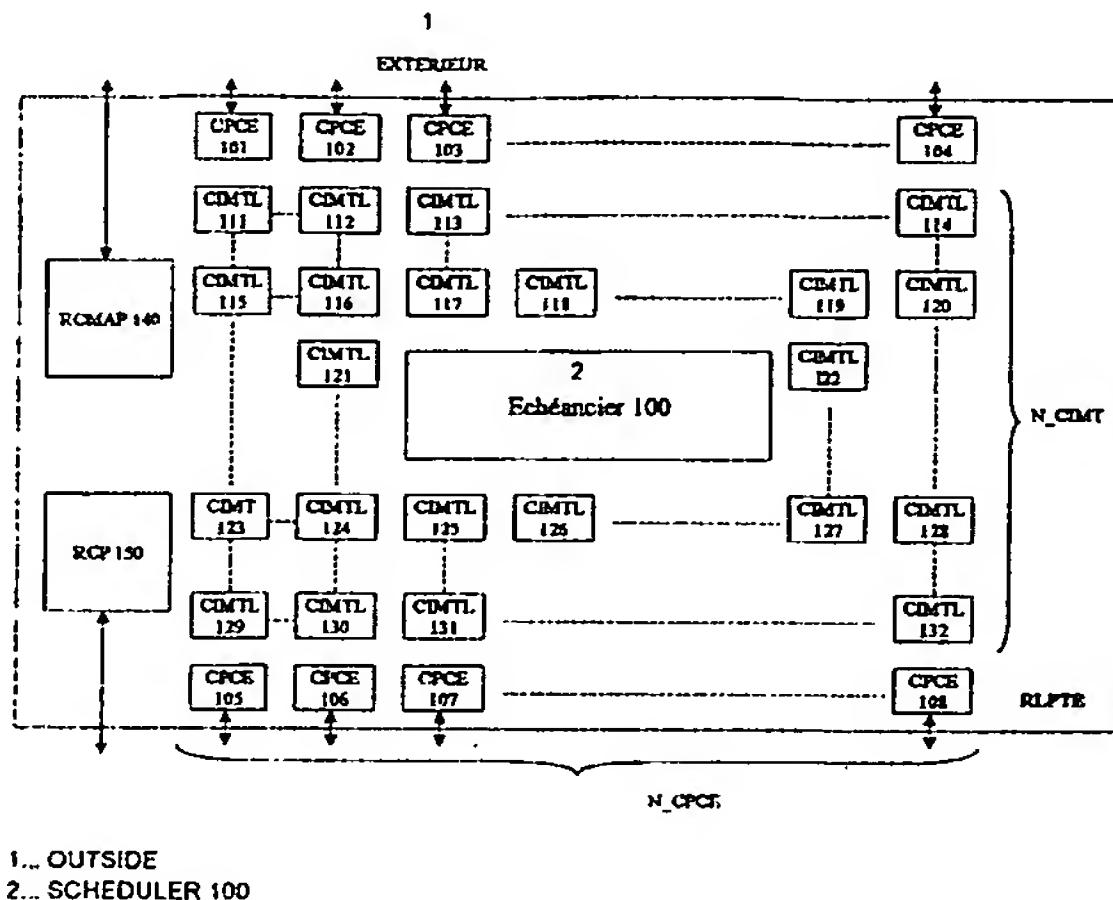
(84) États désignés (sauf indication contraire, pour tout titre de protection régionale disponible) : ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Publiée :
— avec rapport de recherche internationale

[Suite sur la page suivante]

(54) Title: PROGRAMMABLE LOGIC ARRAY FOR SCHEDULE-CONTROLLED PROCESSING

(54) Titre : RESEAU LOGIQUE PROGRAMMABLE A TRAITEMENT ORDONNANCE PAR ECHEANCIER



(57) Abstract: An electronic data processing circuit for emulating a logic function. The circuit comprises a single clock outputting time unit signals, a programmable synchronous logic array for processing values on a time unit basis, a means for detecting internal or external value state changes known as events, a means for programming state change or event signals, a means for processing a series of scheduled times providing the logic array with scheduled time signals depending on the signals from the detection means or the event programming means and the signals from said clock, wherein said processing means can determine subsequent scheduled times having delayed deadlines programmed by the programming means, depending on the signals from said detection means or said programming means. The processing performed by the logic array is thus dependent on the series of scheduled times triggered by internal or external value state changes and by determination of the series of scheduled times.

[Suite sur la page suivante]

WO 2005/088839 A1